НИЖЕГОРОДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Лабораторная работа №3.

**Реакции процессора на внешний сигнал запроса прерывания и сигнал готовности подсистем**

Выполнил: Игнаков К.М. 19-В-2

Принял: Киселев Ю.Н.

Н. Новгород 2021 г.

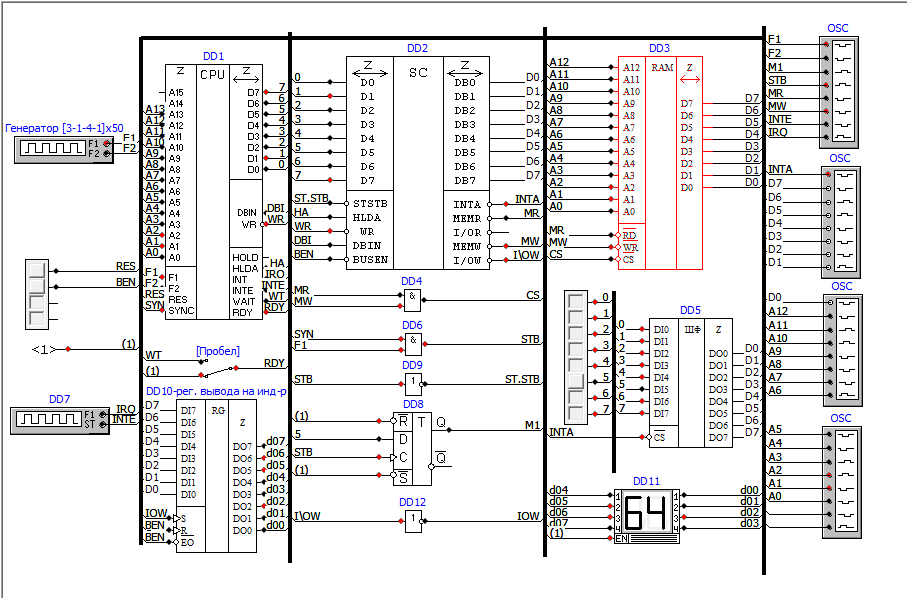
# Цель работы

Изучение реакции процессора на внешние сигналы прерывания INT и READY (готовность подсистем) путем получения и исследование временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении перехода на программу прерывания, анализ данных на ШД и ША в циклах перехода; исследование реакции на сигнал готовности подсистем Ready.

# Задача

Написать программу, которая позволит исследовать реакцию процессора на внешний сигнал прерывания; произвести наблюдение и фиксацию временных диаграмм сигналов управления, сигналов шин данных и адреса в процессорных циклах с помощью логических анализаторов; снятие битовой информации по осциллограммам; исследование временных диаграмм, которые процессор формирует при получении внешних сигналов прерывания и сигнала готовности подсистем.

# Схема микро-ЭВМ на процессоре КР580ВМ80А



**Листинг программы:**

lxi sp, 200h

ei

nop

:m1

jmp m1

skip 18h

mvi a, 64h

out 01h

ret

**Сведенные в таблицу результаты считывания данных с ШД**

|  |  |  |
| --- | --- | --- |
| Адрес (PC) | Код | Мнемоника |
| lxi sp, 200h | 0000h | 31 00 02 |
| ei | 0003h | FB |
| nop | 0004h | 00 |
| jmp m1 | 0004h | C3 01 00 |
| skip 20h | 0004h | E7 |
| mvi a, 64h | 0018h | 3E 64 |
| out 01h | 001Ah | D3 01 |
| ret | 001Ch | C9 |

**Временные диаграммы:**

RST

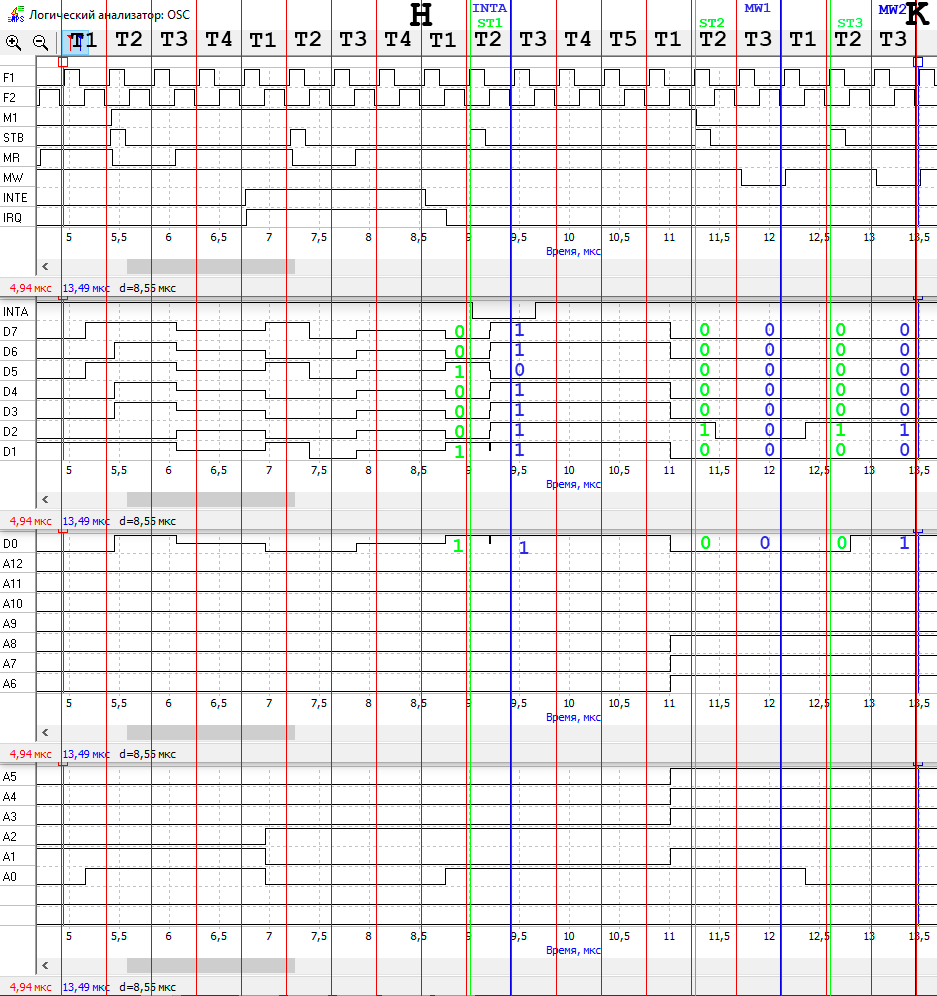
NOP

М3

М2

М1

EI

****

Занесение младшего байта адреса в стек

Занесение старшего байта адреса в стек

Прием команды RST с шины данных

1 цикл:

1) Приём запроса прерывания

2) Сброс триггера INTE, выдача адреса следующей операции на ША

3) Формирование внешним устройством байта вектора

4) Процессор принимает байт вектора

5) Формирование адреса первой ячейки стека

2 цикл:

1) Выдача на ША адреса вершины стека

2) Формирование следующего адреса вершины стека (SP-1)

3) Занесение в стек старшего байта адреса возврата

3 цикл:

1) Выдача на ША адреса вершины стека

2) Формирование следующего адреса вершины стека (SP-1)

3) Занесение в стек младшего байта адреса возврата

**Результаты считывания данных с ШД:**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | ST1 | INTA | ST2 | MW1 | ST3 | MW2 |
| D7 / MR | 0 | 1 | 0 | 0 | 0 | 0 |
| D6 / IN | 0 | 1 | 0 | 0 | 0 | 0 |
| D5 / M1 | 1 | 0 | 0 | 0 | 0 | 0 |
| D4 / OUT | 0 | 1 | 0 | 0 | 0 | 0 |
| D3 / HALT | 0 | 1 | 0 | 0 | 0 | 0 |
| D2 / STACK | 0 | 1 | 1 | 0 | 1 | 1 |
| D1 / WR | 1 | 1 | 0 | 0 | 0 | 0 |
| D0 / INTA | 1 | 1 | 0 | 0 | 0 | 1 |
| Код | 23h | DFh | 04h | 00h | 04h | 05h |

**Комментарии к результатам считывания данных с шины данных.**

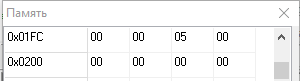
INTA – Чтение кода вектора прерывания

MW1 – Занесение старшего байта адреса возврата в стек

MW2 – Занесение младшего байта адреса возврата в стек

**Результаты считывания данных с ША:**

|  |  |  |  |
| --- | --- | --- | --- |
|  | INTA | MW1 | MW2 |
| A12 | 0 | 0 | 0 |
| A11 | 0 | 0 | 0 |
| A10 | 0 | 0 | 0 |
| A9 | 0 | 0 | 0 |
| A8 | 0 | 1 | 1 |
| А7 | 0 | 1 | 1 |
| А6 | 0 | 1 | 1 |
| А5 | 0 | 1 | 1 |
| А4 | 0 | 1 | 1 |
| А3 | 0 | 1 | 1 |
| А2 | 1 | 1 | 1 |
| А1 | 0 | 1 | 1 |
| А0 | 1 | 1 | 0 |
| Код | 0005h | 01FFh | 01FEh |



**Комментарии к результатам считывания данных с шины адреса.**

1) По адресу 00001001 (0009h) хранится КОП следующей выполняемой команды (адрес возврата)

2) По адресу 11111111 (01FFh) записан старший байт адреса возврата

3) По адресу 11111110 (01FEh) записан младший байт адреса возврата

**Реакция микропроцессора КР580ВМ80А на сигнал READY на примере команды EI.**

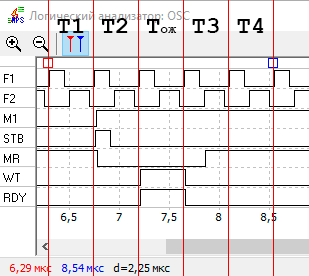
М1

1

1

0

0

****

Введение такта ожидания увеличивает длительность сигнала обращения к памяти (регистрам). Также увеличивается длительность состояний адреса и сигнала управления (MR, MW, IOR, IOW). Это дает более благоприятные условия для чтения/записи содержимого ячейки памяти (регистра). Тем самым мы удовлетворяем требованиям более медленных устройств и учитываем задержку распространения сигналов от блока ЦП к конкретному узлу.

На временной диаграмме показан случай, когда линии WAIT и READY соединены. Микропроцессор анализирует сигнал READY в 2 такте каждого машинного цикла. Во втором такте READY = 0, поэтому микропроцессор вводит такты ожидания, а также подтверждает ожидание сигналом WAIT. Так как сигнал WAIT стал равен 1, то сигнал READY тоже перешел в состояние 1. Во время анализа в такте ожидания сигнал READY=1, поэтому микропроцессор продолжает выполнение машинного цикла.

Таким образом, при соединении линий процессора READY и WAIT микропроцессор будет вводить по одному такту ожидания в каждом машинном цикле.

**Вывод:** в результате выполнения данной лабораторной работы была изучена реакция процессора на внешние сигналы прерывания INT и READY путем получения и исследования временных диаграмм, которые формирует процессор КР580ВМ80А